

【特許請求の範囲】

【請求項1】 始端パルス、バーストパルス、および終端パルスを合成して得られる記録パルスにしたがって、データを、記録媒体に記録するデータ記録装置であって、

前記始端パルスの始端エッジの位置を変化させることにより、そのパルス幅を変化させる始端パルス変化手段と、

前記終端パルスの終端エッジの位置を変化させることにより、そのパルス幅を変化させる終端パルス変化手段とを備えることを特徴とするデータ記録装置。

【請求項2】 前記記録パルスにしたがって、前記記録媒体にマークとスペースを形成することにより、前記データを記録する記録手段をさらに備え、

前記始端パルス変化手段または終端パルス変化手段それぞれは、前記記録媒体と記録手段との間の相対速度に基づいて、前記始端エッジまたは終端エッジの位置を変化させることを特徴とする請求項1に記載のデータ記録装置。

【請求項3】 前記始端パルス変化手段または終端パルス変化手段それぞれは、前記データに基づいて、前記始端エッジまたは終端エッジの位置を変化させることを特徴とする請求項1に記載のデータ記録装置。

【請求項4】 クロックに対応するパルス幅をTとするとき、

前記始端パルス変化手段または終端パルス変化手段それぞれは、前記始端パルスまたは終端パルスのパルス幅を、 $0.5T$ 乃至 $1.5T$ の範囲で変化させることを特徴とする請求項1に記載のデータ記録装置。

【請求項5】 始端パルス、バーストパルス、および終端パルスを合成して得られる記録パルスにしたがって、データを、記録媒体に記録するデータ記録方法であって、

前記始端パルスの始端エッジの位置を変化させることにより、そのパルス幅を変化させるとともに、前記終端パルスの終端エッジの位置を変化させることにより、そのパルス幅を変化させることを特徴とするデータ記録方法。

【請求項6】 始端パルス、バーストパルス、および終端パルスを合成して得られる記録パルスにしたがってマークとスペースを形成することによりデータが記録された記録媒体であって、

前記始端パルスの始端エッジの位置が変化され、そのパルス幅が変化されており、

前記終端パルスの終端エッジの位置が変化され、そのパルス幅が変化されていることを特徴とする記録媒体。

【請求項7】 データに対応する記録パルスにしたがって、マークとスペースを記録媒体に形成することにより、前記データを記録するデータ記録装置であって、前記データの始端をその始端とする、1クロック分のパ

ルス幅の始端パルスを生成する始端パルス生成手段と、前記データの終端をその終端とする、1クロック分のパルス幅の終端パルスを生成する終端パルス生成手段と、前記データを、第1の遅延量xだけ遅延する第1の遅延手段と、

所定量のクロックだけ時間的に先行する前記データを、第2の遅延量yだけ遅延する第2の遅延手段と、前記始端パルス生成手段、終端パルス生成手段、並びに第1および第2の遅延手段の出力を論理演算することによって、前記記録パルスを生成する記録パルス生成手段とを備え、

1クロックに対応するパルス幅をTとするとともに、前記記録パルスのHまたはLレベルのうちの一方をMと、他方をSと表すとき、長さがnTのマーク(但し、nは整数)に対応する前記記録パルスが、式 $xS + (1.5 - x)M + (n - 2)(0.5S + 0.5M) + yM + (0.5 - y)S$ 、または式 $xS + (1.5 - x)M + (n - 3)(0.5S + 0.5M) + 0.5S + yM + (1.0 - y)S$ で表されることを特徴とするデータ記録装置。

【請求項8】 前記第2の遅延手段が、半クロックまたは1クロックだけ時間的に先行する前記データを遅延するとき、長さがnTのマークに対応する前記記録パルスが、式 $xS + (1.5 - x) + (n - 2)(0.5S + 0.5M) + yM + (0.5 - y)S$ 、または式 $xS + (1.5 - x)M + (n - 3)(0.5S + 0.5M) + 0.5S + yM + (1.0 - y)S$ でそれぞれ表されることを特徴とする請求項7に記載のデータ記録装置。

【請求項9】 前記第1または第2の遅延量xまたはyは、0乃至 $0.5T$ の範囲の値であることを特徴とする請求項7に記載のデータ記録装置。

【請求項10】 前記記録パルス生成手段は、クロック、前記始端パルス生成手段、および終端パルス生成手段の出力の論理和を演算する第1の演算手段と、前記第1および第2の遅延手段の出力の論理積を演算する第2の演算手段と、前記第1および第2の演算手段の出力の論理積を演算する第3の演算手段とを有することを特徴とする請求項7に記載のデータ記録装置。

【請求項11】 前記第1または第2の遅延量xまたはyそれぞれを適応的に設定する遅延量設定手段をさらに備えることを特徴とする請求項7に記載のデータ記録装置。

【請求項12】 前記記録パルスにしたがって、前記記録媒体にマークとスペースを形成することにより、前記データを記録する記録手段をさらに備え、前記遅延量設定手段は、前記記録媒体と記録手段との間の相対速度に基づいて、前記第1または第2の遅延量xまたはyそれぞれを設定することを特徴とする請求項11に記載のデータ記録装置。

【請求項13】 前記遅延量設定手段は、前記データに基づいて、前記第1または第2の遅延量 x または y それぞれを設定することを特徴とする請求項11に記載のデータ記録装置。

【請求項14】 少なくとも、前記始端パルス生成手段、終端パルス生成手段、第1および第2の遅延手段、並びに記録パルス生成手段が1チップ化されていることを特徴とする請求項7に記載のデータ記録装置。

【請求項15】 前記第1および第2の遅延手段は、インバータから構成されることを特徴とする請求項7に記載のデータ記録装置。

【請求項16】 所定の遅延量に必要な前記インバータの段数を測定するための測定手段をさらに備えることを特徴とする請求項15に記載のデータ記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ記録装置およびデータ記録方法、並びに記録媒体に関し、特に、例えば、相変化ディスクなどの記録媒体にマークとスペースを形成することによって、データを記録する場合に用いて好適なデータ記録装置およびデータ記録方法、並びに記録媒体に関する。

【0002】

【従来の技術】次世代の高密度記録媒体として、相変化ディスクが注目されている。相変化ディスクへの情報の記録は、図14に示すように、所定の融点以上（例えば、600度程度）に加熱して急冷するとアモルファス状態となり、また、融点以下（例えば、400度程度）に加熱して徐々に冷却すると再結晶化する記録膜の性質（相変化）を利用して行われ、情報の再生は、アモルファスと結晶とで異なる光の反射率を利用して行われる。ここで、アモルファスまたは結晶部分それぞれは、通常、マークまたはスペースと呼ばれ、従って、相変化ディスクへの情報の記録は、そこに情報に対応するマークとスペースが形成されることによって行われるということができる。

【0003】ところで、例えば、ミニディスク（商標）などに代表される光磁気ディスクに対しては、磁界変調方式によってダイレクトオーバーライトが可能であるが、高速な記録、再生が困難となる。一方、光変調方式によれば、高速な記録、再生を行うことが可能であるが、ダイレクトオーバーライトを実現するには、特殊な記録膜を用いる必要がある。

【0004】これに対して、相変化ディスクでは、図15に示すように、レーザ光を、中パワー（消去レベル）と高パワー（記録（書き込み）レベル）とに切り換えながらマークとスペースを形成することで、既に記録されているデータの消去と、新たなデータの記録とを同時に行うダイレクトオーバーライトを、容易に実現することができる。なお、データの再生は、記録膜が相変化を起こ

さない程度の低パワー（再生レベル）のレーザ光を照射することによって行われる。即ち、アモルファスであるマークの反射率は低く、結晶であるスペースの反射率が高いので、レーザ光を照射することによって得られる反射光の光量に基づいて、データの再生が行われる。

【0005】相変化ディスクには、上述したように、容易にダイレクトオーバーライトを行うことができる他、光磁気ディスクと比較して、（1）ピックアップ（光ピックアップ）の構造が簡単、（2）再生信号が大きく、C/Nが高い、（3）記録層の熱伝導度が小さく、消去動作温度が高いため、隣接トラックのマークどうしが影響を及ぼしあいにくく、トラックの高密度化が可能、

（4）データの再生を反射率の違いだけでなく、反射光の位相差を利用して行うことにより、微小なマークの信号強度を大きくすることができる、などの高密度化しやすい利点がある。

【0006】なお、相変化ディスクへのデータの記録は、純粋な熱記録であり、従って、高密度記録を実現するためには、データの記録、消去を行うときの熱の管理が最も重要となる。

【0007】相変化ディスクに対するデータの記録方式としては、様々な長さのマークおよびスペースを形成することにより、その両方の長さに対して情報を割り当てるマークエッジ記録方式がある。このマークエッジ記録方式によれば、比較的長いマークを形成するために、記録レベルのレーザ光が長時間照射される場合があるが、この場合、記録膜の蓄熱効果により、マークの後半部分ほど、ディスク半径方向の幅が太くなった、涙型のマークが形成される。このような涙型のマークを再生すると、その終端部分のエッジが、理想的な位置からずれるため、エラーレートが増加する。

【0008】そこで、マークの後半部分において、半径方向の幅が広がらないように、レーザ光を発するレーザダイオードなどの発光手段を、マルチパルスで駆動することにより、マークの後半部分で照射光量を弱くする記録方式Aがある。

【0009】この記録方式Aによれば、図16（A）に示すように、1クロック（データレート）に対応するパルス幅を T とすると、長さが nT のマーク（但し、 n は整数）は、次式で示される信号Aによってレーザダイオードを駆動することにより形成される（以下、適宜、レーザダイオードなどの発光手段を駆動するための信号を記録パルスという）。

【0010】

$$A = 1.5M + (n-2)(0.5S + 0.5M) + 0.5S \cdots (1)$$

但し、 M は、長さ T のHレベルを意味し、 S は、長さ T のLレベルを意味する（ M をLレベルに対応させ、 S をHレベルに対応させても良い）。

【0011】従って、データ（図16（B））が、例えば、 $2M$ である場合、即ち、 $n=2$ の場合、式（1）か

ら、 $1.5M+0.5S$ の記録パルスA ($1.5T$ のHレベル(記録レベル)と $0.5T$ のLレベル(消去レベル))によって、レーザダイオードが駆動される(図16(C))。また、データ(図16(B))が、例えば、 $3M$ である場合、即ち、 $n=3$ の場合、 $1.5M+0.5S+0.5M+0.5S$ の記録パルスAによって、レーザダイオードが駆動される(図16(C))。さらに、データ(図16(B))が、例えば、 $5M$ である場合、即ち、 $n=5$ の場合、 $1.5M+3(0.5S+0.5M)+0.5S(=1.5M+0.5S+0.5M+0.5S+0.5M+0.5S+0.5M+0.5S)$ の記録パルスAによって、レーザダイオードが駆動される(図16(C))。

【0012】なお、記録方式Aにおいて(後述する記録方式Bについても同様)、データの nS の部分についての記録パルスAは、そのまま nS とされる。

【0013】しかしながら、記録方式Aでは、マークの後半部分で照射光量が弱くなるため、その終端部分のエッジが熱的に不安定になり、特に、記録時の線速度が高速である場合には、その位置の変動が顕著になる課題があった。

【0014】そこで、例えば、「相変化ディスク用高速記録レート・高密度記録方式の検討」、古宮 他、テレビジョン学会技術報告、ITE Technical Report Vol.17, No.79, PP.7-12, VIR'93-83, (Dec.1993)(以下、文献1という)や、特開平6-295440号公報(以下、文献2という)、特開平7-129959号公報(以下、文献3という)などには、マークの終端部分に、ある程度の光量を照射する記録方式Bが開示されている。

【0015】この記録方式Bによれば、長さが nT のマークが、次式で示される記録パルスBによってレーザダイオードを駆動することにより形成される。

【0016】

$$A=1.0M+(n-2)(0.5S+0.5M)+0.5M+0.5S \cdots (2)$$

【0017】従って、データ(図16(B))が、例えば、 $2M$ である場合、即ち、 $n=2$ の場合、式(2)から、 $1.0M+0.5M+0.5S=1.5M+0.5S$ の記録パルスBによって、レーザダイオードが駆動される(図16(D))。また、データ(図16(B))が、例えば、 $3M$ である場合、即ち、 $n=3$ の場合、 $1.0M+0.5S+0.5M+0.5M+0.5S=1.0M+0.5S+1.0M+0.5S$ の記録パルスBによって、レーザダイオードが駆動される(図16(D))。さらに、データ(図16(B))が、例えば、 $5M$ である場合、即ち、 $n=5$ の場合、 $1.0M+3(0.5S+0.5M)+0.5M+0.5S(=1.0M+0.5S+0.5M+0.5S+0.5M+0.5S+1.0M+0.5S)$ の記録パルスBによって、レーザダイオードが駆動される(図16(D))。

【0018】しかしながら、記録方式Bによる場合にお

いても、例えば、 $2T$ や $3T$ などの短いマークやスペースが形成される部分、特に、短いスペースを挟むマークどうしの間では、熱干渉が生じ、そのエッジの位置が、理想的な位置からずれ、これにより、エラーレートが増加する課題があった。

【0019】そこで、上述の文献1および3などでは、短いマークおよびスペースに対応するデータを検出し、そのようなデータに対応する記録パルスについては、その始端部分のエッジと、終端部分のエッジの位置を変化させることにより、熱干渉などに起因するエッジの位置ずれを補償して記録を行う方法(記録補償方法)が開示されている。

【0020】図17は、そのような記録補償を行う、従来の記録補償回路の一例の構成を示している。

【0021】始端パルスジェネレータ101、ゲートジェネレータ102、終端パルスジェネレータ103、およびマーク/スペース長検出器104には、記録すべき情報を変調した変調データ(図16(B))が供給されるようになっている。

【0022】ここで、変調データは、例えば、(1, 7) RLL (Run Length Limited) とNRZI (Non Return to Zero Inverted) とを組み合わせ、情報を変調することにより得られるものであり、従って、変調データには、孤立した反転は存在しない。また、その最小反転幅または最大反転幅は、それぞれ2または8である(従って、この場合、式(2)における n は、2乃至8の範囲の値となる)。

【0023】始端パルスジェネレータ101では、変調データの立ち上がりエッジから $0.5T$ だけ遅れた位置から立ち上がる、パルス幅が $1T$ の始端パルス(式(2)における右辺の第1項 $1.0M$ に対応するパルス)が生成され、ディレイライン108を介して、ORゲート110に供給される。

【0024】また、ゲートジェネレータ102では、変調データから、式(2)における n に対応するパルス幅のゲート信号が生成され、ANDゲート109の一方の入力端子に供給される。ANDゲート109の他方の入力端子にはクロック(図16(A))が供給されており、ANDゲート109では、クロックとゲート信号との論理積が演算される。これにより、ANDゲート109においては、バーストパルス(式(2)における右辺の第2項 $(n-2)(0.5S+0.5M)$ から、最後の $0.5M$ を除いたものに対応するパルス)が生成され、ORゲート110に供給される。

【0025】さらに、終端パルスジェネレータ103では、変調データの立ち下がりエッジの位置で立ち下がる、パルス幅が $1T$ の終端パルス(式(2)における右辺の第2項 $(n-2)(0.5S+0.5M)$ の最後の $0.5M$ と、第3項 $0.5M$ とを合わせたものに対応するパルス)が生成され、ディレイライン107を介し

て、ORゲート110に供給される。

【0026】ORゲート110では、始端パルス、バーストパルス、および終端パルスの論理和が演算され、これにより、式(2)で与えられる記録パルスB(図16(D))が生成されて出力される。

【0027】一方、マーク/スペース長検出器104では、変調データから、例えば、2Tや3Tなどの短いマークおよびスペースに対応するものが検出され、その検出結果が、セクタ105および106に供給される。セクタ105または106では、マーク/スペース長検出器104からの検出結果に基づいて、始端パルスまたは終端パルスを遅延する遅延量が決定され、ディレイライン108または109にそれぞれ供給される。

【0028】ディレイライン108または109それぞれでは、始端パルスまたは終端パルスが、セクタ105または106から供給される遅延量だけ遅延されて出力される。

【0029】以上のようにして、短いマークおよびスペースに対応するデータに対応する記録パルスについては、その始端部分のエッジと、終端部分のエッジの位置が変化され、これにより、熱干渉などに起因するエッジの位置ずれの記録補償が行われる。

【0030】

【発明が解決しようとする課題】ところで、光ディスクや光磁気ディスクなどには、CAV(Constant Angular Velocity)方式で、データが記録される。CAV方式では、角速度(ディスクの回転速度)が一定であるため、データレートが一定であれば、線密度は、ディスクの内周側では高く、また、外周側では低くなり、その結果、全体としての記録容量は小さくなる。

【0031】これに対して、CLV(Constant Linear Velocity)方式でデータを記録する場合においては、線速度が一定であるため、データレートが一定であれば、線密度も一定となり、その結果、全体としての記録容量を大きくすることができる。しかしながら、CLV方式では、ディスクを回転駆動するスピンドルモータの回転数を、その最内周から最外周に亘って連続的に変化させる必要があり、制御系が複雑になる。

【0032】そこで、一定の角速度で回転駆動すれば良い、即ち、制御が簡単であるというCAV方式の利点と、記録容量を大きくすることができるというCLV方式の利点との両方を兼ね備えた方式として、MCAV(Modified CAV) (MZ-CAV (Multi-Zone-CAV))方式がある。

【0033】MCAV方式では、CAV方式と同様に、一定の角速度で回転駆動が行われるが、ディスクが、その最内周から最外周に亘って、幾つか(例えば、50程度など)のゾーンに分割されており、外周側のゾーンほど、データレートを高くして記録が行われる。データレートは、各ゾーンの最内周における線密度が一定になる

ように制御され、これにより、CLV方式と同様に、記録容量を大きくすることができるようになされている。

【0034】相変化ディスクによって高密度記録を実現する場合、記録補償の観点からすると、一定の記録補償で対応することのできる、線速度が一定のCLV方式を採用するのが好ましい。即ち、相変化ディスクへのデータの記録は、純粋な熱記録であるから、線速度が一定であれば、一定の記録補償を施せば済む。

【0035】しかしながら、CLV方式では、トラバース(トラックジャンプ)した場合に、ディスクの回転速度を、トラバース前の位置に適した値から、トラバース後における位置に適した値に変化させる必要があり、それまでデータの再生を開始することができない。このため、ビデオテープなどのテープ状の記録媒体と比較した場合に、ディスクの重要な特徴であるランダムアクセスの速度が遅いという欠点がある。

【0036】そこで、このような欠点により、相変化ディスクの用途が限定されるのを防止するため、記録容量が大で、高速なランダムアクセスが可能なMCAV方式を採用する方法がある。

【0037】しかしながら、MCAV方式では、最内周から最外周に亘って線速度が変化するため、一定の記録補償で対応することが困難であった。

【0038】本発明は、このような状況に鑑みてなされたものであり、線速度に対応した記録補償を容易に施すことができるようにするものである。

【0039】

【課題を解決するための手段】請求項1に記載のデータ記録装置は、始端パルスの始端エッジの位置を変化させることにより、そのパルス幅を変化させる始端パルス変換手段と、終端パルスの終端エッジの位置を変化させることにより、そのパルス幅を変化させる終端パルス変換手段とを備えることを特徴とする。

【0040】請求項5に記載のデータ記録方法は、始端パルスの始端エッジの位置を変化させることにより、そのパルス幅を変化させるとともに、終端パルスの終端エッジの位置を変化させることにより、そのパルス幅を変化させることを特徴とする。

【0041】請求項6に記載の記録媒体は、始端パルスの始端エッジの位置が変化され、そのパルス幅が変化されており、終端パルスの終端エッジの位置が変化され、そのパルス幅が変化されていることを特徴とする。

【0042】請求項7に記載のデータ記録装置は、データの始端をその始端とする、1クロック分のパルス幅の始端パルスを生成する始端パルス生成手段と、データの終端をその終端とする、1クロック分のパルス幅の終端パルスを生成する終端パルス生成手段と、データを、第1の遅延量xだけ遅延する第1の遅延手段と、所定量のクロックだけ時間的に先行するデータを、第2の遅延量yだけ遅延する第2の遅延手段と、始端パルス生成手

段、終端パルス生成手段、並びに第1および第2の遅延手段の出力を論理演算することで、記録パルスを生成する記録パルス生成手段とを備え、1クロックに対応するパルス幅をTとするとともに、記録パルスのHまたはLレベルのうちの一方をMと、他方をSと表すとき、長さがnTのマーク（但し、nは整数）に対応する記録パルスが、式 $xS + (1.5 - x)M + (n - 2)(0.5S + 0.5M) + yM + (0.5 - y)S$ 、または式 $xS + (1.5 - x)M + (n - 3)(0.5S + 0.5M) + 0.5S + yM + (1.0 - y)S$ で表されることを特徴とする。

【0043】請求項1に記載のデータ記録装置においては、始端パルス変化手段は、始端パルスの始端エッジの位置を変化させることにより、そのパルス幅を変化させ、終端パルス変化手段は、終端パルスの終端エッジの位置を変化させることにより、そのパルス幅を変化させるようになされている。

【0044】請求項5に記載のデータ記録方法においては、始端パルスの始端エッジの位置を変化させることにより、そのパルス幅を変化させるとともに、終端パルスの終端エッジの位置を変化させることにより、そのパルス幅を変化させるようになされている。

【0045】請求項6に記載の記録媒体においては、始端パルスの始端エッジの位置が変化され、そのパルス幅が変化されており、終端パルスの終端エッジの位置が変化され、そのパルス幅が変化されている。

【0046】請求項7に記載のデータ記録装置においては、始端パルス生成手段は、データの始端をその始端とする、1クロック分のパルス幅の始端パルスを生成し、終端パルス生成手段は、データの終端をその終端とする、1クロック分のパルス幅の終端パルスを生成するようになされている。第1の遅延手段は、データを、第1の遅延量xだけ遅延し、第2の遅延手段は、所定量のクロックだけ時間的に先行するデータを、第2の遅延量yだけ遅延するようになされている。記録パルス生成手段は、始端パルス生成手段、終端パルス生成手段、並びに第1および第2の遅延手段の出力を論理演算することで、記録パルスを生成するようになされており、1クロックに対応するパルス幅をTとするとともに、記録パルスのHまたはLレベルのうちの一方をMと、他方をSと表すとき、長さがnTのマーク（但し、nは整数）に対応する記録パルスが、式 $xS + (1.5 - x)M + (n - 2)(0.5S + 0.5M) + yM + (0.5 - y)S$ 、または式 $xS + (1.5 - x)M + (n - 3)(0.5S + 0.5M) + 0.5S + yM + (1.0 - y)S$ で表されるようになされている。

【0047】

【発明の実施の形態】以下に、本発明の実施例を説明するが、その前に、特許請求の範囲に記載の発明の各手段と以下の実施例との対応関係を明らかにするために、各

手段の後の括弧内に、対応する実施例（但し、一例）を付加して、本発明の特徴を記述すると、次のようになる。

【0048】即ち、請求項1に記載のデータ記録装置は、始端パルス、バーストパルス、および終端パルスを合成して得られる記録パルスにしたがって、データを、記録媒体に記録するデータ記録装置であって、始端パルスの始端エッジの位置を変化させることにより、そのパルス幅を変化させる始端パルス変化手段（例えば、図3に示すマルチパルス発生器16、プログラマブルディレイライン18、および記録信号発生器21など）と、終端パルスの終端エッジの位置を変化させることにより、そのパルス幅を変化させる終端パルス変化手段（例えば、図3に示すマルチパルス発生器16、プログラマブルディレイライン17、および記録信号発生器21など）とを備えることを特徴とする。

【0049】請求項2に記載のデータ記録装置は、記録パルスにしたがって、記録媒体にマークとスペースを形成することにより、データを記録する記録手段（例えば、図1に示すピックアップ3など）をさらに備え、始端パルス変化手段または終端パルス変化手段それぞれが、記録媒体と記録手段との間の相対速度に基づいて、始端エッジまたは終端エッジの位置を変化させることを特徴とする。

【0050】請求項7に記載のデータ記録装置は、データに対応する記録パルスにしたがって、マークとスペースを記録媒体に形成することにより、データを記録するデータ記録装置であって、データの始端をその始端とする、1クロック分のパルス幅の始端パルスを生成する始端パルス生成手段（例えば、図7に示すDFF（Dフリップフロップ）52および54、並びにANDゲート56など）と、データの終端をその終端とする、1クロック分のパルス幅の終端パルスを生成する終端パルス生成手段（例えば、図7に示すDFF51および52、並びにANDゲート57など）と、データを、第1の遅延量xだけ遅延する第1の遅延手段（例えば、図7に示すプログラマブルディレイライン18など）と、所定量のクロックだけ時間的に先行するデータを、第2の遅延量yだけ遅延する第2の遅延手段（例えば、図7に示すプログラマブルディレイライン17など）と、始端パルス生成手段、終端パルス生成手段、並びに第1および第2の遅延手段の出力を論理演算することで、記録パルスを生成する記録パルス生成手段（例えば、図7に示すORゲート58、並びにANDゲート61および62など）とを備え、1クロックに対応するパルス幅をTとするとともに、記録パルスのHまたはLレベルのうちの一方をMと、他方をSと表すとき、長さがnTのマーク（但し、nは整数）に対応する記録パルスが、式 $xS + (1.5 - x)M + (n - 2)(0.5S + 0.5M) + yM + (0.5 - y)S$ 、または式 $xS + (1.5 - x)M +$

$(n-3)(0.5S+0.5M)+0.5S+yM+(1.0-y)S$ で表されることを特徴とする。

【0051】請求項10に記載のデータ記録装置は、記録パルス生成手段が、クロック、始端パルス生成手段、および終端パルス生成手段の出力の論理和を演算する第1の演算手段（例えば、図7に示すORゲート58など）と、第1および第2の遅延手段の出力の論理積を演算する第2の演算手段（例えば、図7に示すANDゲート61など）と、第1および第2の演算手段の出力の論理積を演算する第3の演算手段（例えば、図7に示すANDゲート62など）とを有することを特徴とする。

【0052】請求項11に記載のデータ記録装置は、第1または第2の遅延量 x または y それぞれを適応的に設定する遅延量設定手段（例えば、図3に示すマイコン（マイクロコンピュータ）11など）をさらに備えることを特徴とする。

【0053】請求項12に記載のデータ記録装置は、記録パルスにしたがって、記録媒体にマークとスペースを形成することにより、データを記録する記録手段（例えば、図1に示すピックアップ3など）をさらに備え、遅延量設定手段が、記録媒体と記録手段との間の相対速度に基づいて、第1または第2の遅延量 x または y それぞれを設定することを特徴とする。

【0054】請求項16に記載のデータ記録装置は、所定の遅延量に必要なインバータの段数を測定するための測定手段（例えば、図10に示すDFF81、単位遅延素子82、ORゲート83、セレクト84、86、NORゲート87、およびRSFF（RSフリップフロップ）88など）をさらに備えることを特徴とする。

【0055】なお、勿論この記載は、各手段を上記したものに限定することを意味するものではない。

【0056】図1は、本発明を適用したディスクドライブの一実施例の構成を示している。

【0057】ディスク1は、例えば、前述したような相変化ディスクで、スピンドルモータ2によって回転駆動される。スピンドルモータ2は、スピンドルサーボ系を構成しており、ディスク1を、一定の回転速度（回転数）で回転駆動する。

【0058】データの記録時においては、その記録すべきデータを、例えば、前述したように、(1, 7)RLとNRZIとを組み合わせた変調方式により変調した変調データが記録回路4に供給される。記録回路4では、その変調データに対応する記録パルスであって、記録補償を施したものが生成され、ピックアップ3に供給される。ピックアップ3は、その内蔵するレーザダイオードなどの発光手段を、記録パルスにしたがって駆動する。これにより、ディスク1に対しては、記録パルスにしたがい、図15で説明したようなパワーのレーザ光が照射され、記録回路4に入力されたデータに対応するマークとスペースとが形成されることで、例えば、マーク

エッジ記録方式によりデータが記録される。

【0059】一方、データの再生時においては、ピックアップ3において、ディスク1に対して、再生レベルのレーザ光が照射され、その反射光が受光される。さらに、ピックアップ3では、受光された反射光が光電変換され、その結果得られるRF（Radio Frequency）信号が再生回路5に供給される。再生回路5では、RF信号に所定の処理が施され、変調データが再生されて出力される。この変調データは、図示せぬ復調回路において復調され、元のデータとされる。

【0060】なお、本実施例においては、ディスク1は、例えば、その最内周から最外周に亘って、幾つか（例えば、50程度など）のゾーンに分割されており、外周側のゾーンほど、データレートを高くして記録が行われる。データレートは、各ゾーンの最内周における線密度が一定になるように制御されるようになされており、従って、ここでは、ディスク1に対して、MCAV方式により、データの記録、再生が行われるようになされている。

【0061】次に、図2を参照して、図1の記録回路4における記録補償について説明する。

【0062】図2は、図16と同様の波形図であり、前述したように、式(1)または(2)によって表現される記録方式AまたはBによれば、図2(A)に示すようなクロックの下で、同図(B)に示すような変調データが与えられた場合、同図(C)または(D)に示すような記録パルスAまたはBがそれぞれ生成される。

【0063】ここで、記録方式Aによれば、前述したように、ディスク1の線速度、即ち、ディスク1とピックアップ3との相対速度が高速である場合、マークのエッジの位置の変動が顕著になるが、線速度が低速である場合（例えば、4m/s（メートル/秒）程度）には、そのようなことがなく、従って低線速度に向いていることが知られている。また、記録方式Bは、線速度が低速な場合には向いていないが、高速な場合（例えば、10m/s程度）に向いていることが知られている。

【0064】従って、MCAV方式のように、最内周から最外周に向かって、線速度が低速から高速に変化する場合には、記録パルスも、記録方式Aにより得られるものから、記録方式Bにより得られるものに変化させるようにすれば、線速度に対応した記録補償を施すことができる。

【0065】そこで、記録回路4は、図2(C)において点線で示すように、記録方式Aによる記録パルスAを構成する始端パルスまたは終端パルスそれぞれの立ち上がりエッジまたは立ち下がりエッジの位置を変化させることにより、それらのパルス幅を変化させ、これにより、記録パルスを、線速度、即ち、例えば、ゾーンに対応して変化させるようになされている。あるいは、また、記録回路4は、図2(D)において点線で示すよう

に、記録方式Bによる記録パルスBを構成する始端パルスまたは終端パルスそれぞれの立ち上がりエッジまたは立ち下がりエッジの位置を変化させることにより、それらのパルス幅を変化させ、これにより、記録パルスを、線速度、即ち、例えば、ゾーンに対応して変化させるようになされている。

【0066】次に、図3は、図1の記録回路4の構成例を示している。

【0067】マイコン11は、各種の信号（CS、WR、OW、AB[15:0]、CLK、D[7:0]、Z[7:0]など）により、記録回路4を構成する各ブロックを制御するようになされている。ここで、例えば、データD[7:0]という表記は、データDの第0乃至第7ビットを意味する。従って、データDが8ビットで構成される場合、データD[7:0]は、データDそのものを表す。また、例えば、データD[0]という表記は、データDの第0ビットを意味する。なお、第0ビットは、例えば、LSB（最下位ビット）を表すものとする。

【0068】即ち、マイコン11は、RAM（Random Access Memory）15に対して、データD[7:0]の読み書きを行う場合、例えば、通常はLレベルになっているチップセレクト信号CSをHレベルにするようになされている。また、マイコン11は、RAM11にデータDを書き込む場合、またはデータDを読み出す場合、ライト信号WRを、それぞれHまたはLレベルにするようになされている。さらに、マイコン11は、ダイレクトオーバーライトを行うかどうか、即ち、変調データの記録を行うかどうかを示すオーバーライト信号OWを出力するようになされている。

【0069】また、マイコン11は、RAM15に対してデータを読み書きする場合、そのアドレスを指定するためのアドレス信号AB[15:0]を出力するようになされている。さらに、マイコン11は、記録回路4を構成するブロックのうちの必要なものに、クロックCLKを供給するようになされている。また、マイコン11は、RAM15に書き込むべきデータD[7:0]を出力するとともに、RAM15から読み出されたデータD[7:0]を受信するようになされている。さらに、マイコン11は、ピックアップ3がレーザ光を照射しているゾーンを検出し、そのゾーンを表すゾーンデータZ[7:0]を出力するようになされている。

【0070】なお、図3の実施例においては、例えば、アドレス信号AB[15:0]は15ビットの信号と、データD[7:0]およびゾーンデータZ[7:0]は8ビットの信号とされている。

【0071】コントローラ12には、マイコン11から、チップセレクト信号CS、ライト信号WR、またはオーバーライト信号OWが、その入力端子CSIN、WRIN、またはOWINにそれぞれ供給されるようになさ

れている。さらに、コントローラ12には、シフト14が出力する、12ビットのデータAA[11:0]のうちの、第4乃至第7ビットで構成されるデータAA[7:4]が、その入力端子D[3:0]に供給されるようになされている。

【0072】コントローラ12は、そこに入力されるチップセレクト信号CS、ライト信号WR、およびオーバーライト信号OWから、その出力端子OE、CS、またはWRそれぞれから出力すべき信号（以下、適宜、出力端子OEから出力される信号をイネーブル信号OEという。また、出力端子CS、WRから出力される信号は、コントローラ12に入力されるチップセレクト信号CS、ライト信号WRにそれぞれ対応するので、これらの信号も、以下、適宜、それぞれチップセレクト信号CS、ライト信号WRという）を生成して出力するようになされている。さらに、コントローラ12は、データAA[7:4]に基づいて、変調データDATAの立ち上がりエッジまたは立ち下がりエッジを検出し、そのタイミングで、例えば、1クロックの間だけ、LレベルからHレベルになる立ち上がりエッジ信号RISEまたはFALLを、その出力端子RISEまたはFALLからそれぞれ出力するようになされている。

【0073】セクタ13は、例えば、16ビットのセクタで、そこには、マイコン11からオーバーライト信号OWとアドレス信号AB[15:0]が、その入力端子A/BとB[15:0]それぞれに供給されるようになされている。さらに、セクタ13には、シフト14が出力するデータAA[11:0]のうちの、第0乃至第3ビットおよび第8乃至第11ビットで構成されるデータAA[3:0]およびAA[11:8]を下位8ビットとし、マイコン11が出力するゾーンデータZ[7:0]を上位8ビットとする16ビットのデータ（このデータも、アドレス信号AB[15:0]と同様に、RAM15の15ビットのアドレスとなるので、以下、適宜、アドレス信号AB'[15:0]と表記する）が、その入力端子A[15:0]に供給されるようになされている。

【0074】セクタ13は、オーバーライト信号OWがLまたはHレベルのとき、アドレス信号AB[15:0]またはAB'[15:0]をそれぞれ選択し、その出力端子C[15:0]から、アドレス信号ADR[15:0]として出力するようになされている。

【0075】シフト14は、例えば、12ビットのシフトで、そこには、変調データDATAとクロックCLKが、入力端子DINとCLKそれぞれに供給されるようになされている。シフト14は、12ビットのレジスタを内蔵しており、クロックCLKに同期して、そのレジスタのLSBに、変調データDATAを記憶させるとともに、そのレジスタの各ビットを、1つ上位のビットにコピー、即ち、1ビットの左シフトを行うようになされ

ている。シフト14が内蔵するレジスタの記憶値、即ち、12ビット単位のパラレルデータとされた変調データAA[11:0]は、第0乃至第3ビットAA[3:0]、第4乃至第7ビットAA[7:4]、および第8乃至第11ビットAA[11:8]に分割され、上述したように、第0乃至第3ビットAA[3:0]および第8乃至第11ビットAA[11:8]はセクタ13に供給され、第4乃至第7ビットAA[7:4]はコントローラ12に供給されるようになされている。

【0076】なお、変調データAA[11:0]のうちの第3ビットAA[3]は、マルチパルス発生器16にも供給されるようになされている。

【0077】RAM15は、例えば、16ビットのアドレス空間を有し、8ビットのデータを記憶するRAMで、そこには、コントローラ12からチップセレクト信号CSまたはライト信号WRが、その入力端子CSまたはWRにそれぞれ供給されるようになされている。さらに、RAM15には、セクタ13からアドレス信号ADR[15:0]が、その入力端子A[15:0]に供給されるようになされている。また、RAM15のデータ端子DINには、マイコン11が出力するデータD[7:0]が供給されるようになされている。

【0078】RAM15は、チップセレクト信号CSがHレベルで、かつライト信号がHレベルのとき、マイコン11が出力するデータD[7:0]を、アドレス信号ADR[15:0]で表されるアドレスに記憶し、また、チップセレクト信号CSがHレベルで、かつライト信号がLレベルのとき、アドレス信号ADR[15:0]で表されるアドレスから、データD[7:0]を読み出し、データDO[7:0]として、その出力端子DOUT[7:0]から出力するようになされている。

【0079】マルチパルス発生器16には、シフト14から、12ビットの変調データAA[11:0]のうちの第3ビットAA[3]が、その入力端子INDATAに供給され、また、マイコン11からクロックCLKが、その入力端子CLKに供給されるようになされている。

【0080】マルチパルス発生器16は、変調データの第3ビットAA[3]とクロックCLKに基づいて、終端パルスとなるデータDATA1、バーストパルスとなるデータMP、および始端パルスとなるデータDATA2を生成し、それぞれを、その出力端子Q1、MP、Q2から出力するようになされている。

【0081】プログラマブルディレイライン17または18は、DFF19または20から供給される4ビットのデータFALL_DATA[3:0]またはRISE_DATA[3:0]にしたがって、データDATA1またはDATA2をそれぞれ所定量yまたはxだけ遅延し、遅延データDDATA1またはDDATA2として、それぞれの出力端子OUTから出力するようになさ

れている。

【0082】DFF19または20は、RAM15から出力されるデータDO[7:0]のうちの下位4ビットDO[3:0]または上位4ビットDO[7:4]を、コントローラ12から供給される立ち下がりエッジ信号FALLまたは立ち上がりエッジ信号RISEのタイミングでラッチし、データFALL_DATA[3:0]またはRISE_DATA[3:0]として、プログラマブルディレイライン17または18にそれぞれ供給するようになされている。

【0083】記録信号発生器21は、プログラマブルディレイライン17または18それぞれからの遅延データDDATA1またはDDATA2、およびマルチパルス発生器16からのデータMPを用いて論理演算を行うことで、図2で説明したような記録パルスを生成し、その出力端子RECから出力するようになされている。

【0084】ゲート回路22は、例えば、8ビットの3ステートのゲートで、RAM15から読み出されるデータDO[7:0]を受信し、コントローラ12が出力するイネーブル信号OEが、LまたはHレベルのうちの、例えばHレベルである場合のみ、その受信したデータDO[7:0]を、データD[7:0]として、マイコン11に供給するようになされている。

【0085】以上のように構成される記録回路4では、マイコン11において、記録パルスを構成する始端パルスの遅延量xおよび終端パルスの遅延量y（後述するように、これらの遅延量により、記録パルスを構成する始端パルスまたは終端パルスの立ち上がりまたは立ち下がりエッジの位置が変化され、これにより、それぞれのパルス幅が変化される）としてのデータD[7:0]が、線速度、即ち、例えば、ここでは、ゾーンごとに設定され、RAM15に供給されて記憶される（このような処理が行われるモードを、データ設定モードという）。そして、ダイレクトオーバーライト（記録時）においては、そのデータD[7:0]に基づいて遅延が行われた記録パルスが生成される（このような処理が行われるモードを、オーバーライトモードという）。

【0086】即ち、データ設定モードにおいては、マイコン11は、チップセレクト信号CSおよびライト信号WRの両方をHレベルにし、オーバーライト信号OWをLレベルにする。

【0087】さらに、マイコン11は、ゾーンごとに適した遅延量xまたはyに対応する4ビットのRISE_DATA[3:0]またはFALL_DATA[3:0]をそれぞれ設定し、RISE_DATA[3:0]を上位4ビットとし、FALL_DATA[3:0]を下位4ビットとする8ビットのデータD[7:0]を生成する。

【0088】ここで、記録補償は、線速度に対応して行う他、形成しようとするマークやスペースの長さ、即

ち、特に、前述したように、短いマークやスペースに対応して行う必要がある。

【0089】そこで、マイコン11では、ゾーンごとに適した遅延量であって、かつ形成されるマークおよびスペースの長さ、即ち、記録される変調データにも適したものが設定されるようになされている。

【0090】具体的には、例えば、変調データの中の、ある連続する12ビットに注目した場合に、その上位4ビットと下位4ビットの合計8ビットと、その変調データが記録されるゾーンとの両方に基づいて、最適な遅延量としてのデータD[7:0]が求められる。

【0091】このデータD[7:0]は、マイコン11からRAM15に供給される。

【0092】なお、データD[7:0]は、例えば、あらかじめ実験などを行うことにより求めておき、図示せぬROM(Read Only Memory)などに記憶させておくようにするのが好ましい。この場合、マイコン11には、データ設定モード時に、そのROMから、データD

[7:0]を読み出させるようにすれば良い。

【0093】マイコン11は、上述したように、変調データの中の、ある連続する12ビットに注目した場合に、その上位4ビットと下位4ビットの合計8ビットで構成されるデータAD1と、その変調データが記録されるゾーンzとの両方に基づいて、最適な遅延量としてのデータD[7:0]を得ると、8ビットのデータAD1を下位アドレスとし、また、ゾーンzを表す、例えば8ビットのデータAD2を上位アドレスとして、16ビットのアドレス信号AB[15:0]を生成し、セクタ13に出力する。

【0094】上述したように、いまの場合、オーバーライト信号OWは、Lレベルであるから、セクタ13においては、入力端子B[15:0]に入力される、マイコン11からのアドレス信号AB[15:0]が選択され、アドレス信号ADR[15:0]として、RAM15に供給される。

【0095】一方、コントローラ12は、Hレベルのチップセレクト信号CSおよびライト信号WRと、Lレベルのオーバーライト信号OWを受信すると、Hレベルのチップセレクト信号CSおよびライト信号WRを、RAM15に出力する。

【0096】従って、RAM15においては、アドレス信号ADR[15:0]が示すアドレスに、データD[7:0]が記憶される(書き込まれる)。

【0097】以下、同様にして、RAM15には、ゾーンごとに適した遅延量であって、かつ形成されるマークおよびスペースの長さ、即ち、記録される変調データに適したものに对应的各値のデータD[7:0]が記憶される。

【0098】なお、RAM15に記憶されたデータD[7:0]が正しいかどうかを確認するためなどに、あ

るアドレスADR[15:0]におけるデータD[7:0]をRAM15から読み出す場合には、マイコン11は、チップセレクト信号CSをHレベルにし、ライト信号WRおよびオーバーライト信号OWをLレベルにする。さらに、マイコン11は、アドレスAB[15:0]をセクタ13に出力する。この場合、コントローラ12は、Hレベルのチップセレクト信号CSと、Lレベルのライト信号WRを、RAM15に出力するとともに、Hレベルのイネーブル信号OEを、ゲート回路22に出力する。また、セクタ13は、マイコン11からのアドレスAB[15:0]を選択し、アドレス信号ADR[15:0]としてRAM15に出力する。

【0099】RAM15は、Hレベルのチップセレクト信号CS、Lレベルのライト信号WR、およびアドレス信号ADR[15:0]を受信すると、上述したように、アドレス信号ADR[15:0]に対応するアドレスから、データD[7:0]を読み出し、データDO[7:0]として、ゲート回路22に出力する。ゲート回路22は、上述したように、Hレベルのイネーブル信号OEを受信すると、RAM15からのデータをマイコン11に出力するから、これにより、RAM15から読み出されたデータDO[7:0]は、マイコン11に供給される。

【0100】次に、オーバーライトモード時においては、マイコン11は、チップセレクト信号CSおよびオーバーライト信号OWをHレベルにし、ライト信号WRをLレベルにする。さらに、マイコン11は、ピックアップ3がアクセスしているゾーンを認識し、そのゾーンに対応するゾーンデータZ[7:0]を、セクタ13に供給する。

【0101】また、この場合、シフト14には、クロックCLKに同期した変調データDATAが供給される。シフト14は、クロックCLKのタイミングで、そこに供給される変調データDATAを、その内蔵する12ビットのレジスタのLSBに記憶するとともに、そのレジスタの記憶値をシフトし、その結果得られる12ビット単位の変調データAA[11:0]を出力する。この12ビットの変調データAA[11:0]のうち、第0乃至第3ビットAA[3:0]および第8乃至第11ビットAA[11:8]はセクタ13に、第3ビットAA[3]はマルチパルス発生器16に、第4乃至第7ビットAA[7:4]はコントローラ12に、それぞれ供給される。

【0102】マイコン11が出力するゾーンデータZ[7:0]と、シフト14が出力する変調データAA[3:0]およびAA[11:8]とは1つの16ビットのデータとしてまとめられ、即ち、上述したように、例えば、最上位ビットから、ゾーンデータZ[7:0]、変調データAA[3:0]、およびAA[11:8]の順で並べた16ビットのデータ(アドレス信号)

AB' [15:0] が構成され、セクタ13の入力端子A [15:0] に供給される。

【0103】いまの場合、オーバライト信号OWはHレベルであるから、セクタ13では、その入力端子A [15:0] に供給されるアドレス信号AB' [15:0] が選択され、アドレス信号ADR [15:0] として、RAM15に供給される。

【0104】一方、コントローラ12は、Hレベルのチップセレクト信号CSと、Lレベルのライト信号WRを受信すると、それらと同様のチップセレクト信号CSおよびライト信号WRを、RAM15に出力する。

【0105】従って、この場合、RAM15においては、アドレス信号ADR [15:0] に対応するアドレスから、データD [7:0] が読み出され、データDO [7:0] として出力される。即ち、この場合、変調データを記録するゾーン（線速度）に適した遅延量であって、その変調データに適したものに对应するデータDO [7:0] が、RAM15から出力される。このデータDO [7:0] のうち、上位4ビットDO [7:4] は DFF20に供給され、下位4ビットDO [3:0] は DFF19に供給される。

【0106】また、コントローラ12は、変調データA [7:4] を受信すると、その変調データAA [7:4] に基づいて、変調データの立ち上がりエッジおよび立ち下がりエッジを検出する。即ち、本実施例では、変調データは、上述したように、(i, 7) RLLとNRZIとの組合せにより得られたものであるから、孤立した反転が存在しない。このため、変調データの中に立ち上がりエッジがあると、シフト14において変調データがシフトされていく過程の中で、AA [7] = 0, AA [6] = 0, AA [5] = 1, AA [4] = 1となる場合が必ず生じる。また、変調データの中に立ち下がりエッジがあると、シフト14において変調データがシフトされていく過程の中で、AA [7] = 1, AA [6] = 1, AA [5] = 0, AA [4] = 0となる場合が必ず生じる。

【0107】そこで、コントローラ12は、AA [7] = 0, AA [6] = 0, AA [5] = 1, AA [4] = 1を検出すると、立ち上がりエッジを検出したとして、立ち上がりエッジ信号RISEを出力する。また、コントローラ12は、AA [7] = 1, AA [6] = 1, AA [5] = 0, AA [4] = 0を検出すると、立ち下がりエッジを検出したとして、立ち下がりエッジ信号FALLを出力する。

【0108】なお、変調データの最小反転幅が2でない場合には、それに対応して、コントローラ12における立ち上がりエッジおよび立ち下がりエッジの検出方法を変更する必要がある。

【0109】立ち下がりエッジ信号FALLまたは立ち上がりエッジ信号RISEは、DFF19または20に

それぞれ出力される。DFF19または20は、立ち下がりエッジ信号FALLまたは立ち上がりエッジ信号RISEのタイミングで、RAM15からのデータD [3:0] またはD [7:4] をラッチし、データFALL_DATA [3:0] またはRISE_DATA [3:0] として、プログラマブルディレイライン17または18にそれぞれ出力する。

【0110】一方、マルチパス発生器16は、シフト14からデータAA [3] を変調データとして受信し、その変調データから、データDATA1, DATA2, MPを生成して、それぞれを、プログラマブルディレイライン17, 18、記録信号発生器21に出力する。プログラマブルディレイライン17または18では、DFF19または20から供給される4ビットのデータFALL_DATA [3:0] またはRISE_DATA [3:0] にしたがって、データDATA1またはDATA2がそれぞれ所定量yまたはxだけ遅延され、遅延データDDATA1またはDDATA2として、記録信号発生器21に供給される。記録信号発生器21では、プログラマブルディレイライン17または18それぞれからの遅延データDDATA1またはDDATA2、およびマルチパス発生器16からのデータMPに基づいて、記録パルスが生成されて出力される。

【0111】ここで、実際の回路では、シフト14やRAM15などの仕様（動作速度）によって、プログラマブルディレイライン17または18に対して、変調データの立ち下がりエッジまたは立ち上がりエッジに対応するデータDATA1またはDATA2が入力されるタイミングと、データFALL_DATA [3:0] またはRISE_DATA [3:0] が入力されるタイミングとの間にずれが生じる場合がある。このような場合には、例えば、変調データAA [3] が入力されるマルチパス発生回路16の入力端子INDATAの前段に、遅延回路などを設けるなどして、上述のタイミングどうしを一致させるようにする必要がある。なお、これは、その他、例えば、シフト14からマルチパス発生器16に供給する変調データを、AA [3] ではなく、AA [2] やAA [4] にすることなどによっても実現することができる。

【0112】次に、図4は、図3のコントローラ12の構成例を示している。

【0113】ANDゲート31には、変調データAA [4] およびAA [5] が入力されるようになされており、そこでは、両者のAND（論理積）が演算され、ANDゲート33の一方の入力端子に入力される。また、ANDゲート33の他方の入力端子には、NORゲート35の出力が入力されるようになされており、ANDゲート33では、ANDゲート31とNORゲート35との出力のANDが演算され、その演算結果が、立ち下がりエッジ信号FALLとして出力される。NORゲート

35には、変調データAA[6]およびAA[7]が入力されるようになされており、そこでは、両者のNOR（論理和の否定）が演算される。

【0114】従って、AA[7]=1, AA[6]=1, AA[5]=0, AA[4]=0のときのみ、ANDゲート33からは、Hレベル（1）の立ち下がりエッジ信号FALLが出力される。

【0115】また、ANDゲート32には、変調データAA[6]およびAA[7]が入力されるようになされており、そこでは、両者のANDが演算され、ANDゲート34の一方の入力端子に入力される。また、ANDゲート34の他方の入力端子には、NORゲート36の出力が入力されるようになされており、ANDゲート34では、ANDゲート32とNORゲート36との出力のANDが演算され、その演算結果が、立ち上がりエッジ信号RISEとして出力される。NORゲート36には、変調データAA[4]およびAA[5]が入力されるようになされており、そこでは、両者のNORが演算される。

【0116】従って、AA[7]=0, AA[6]=0, AA[5]=1, AA[4]=1のときのみ、ANDゲート34からは、Hレベル（1）の立ち上がりエッジ信号RISEが出力される。

【0117】一方、マイコン11からのチップセレクト信号CSは、ORゲート38の一方の入力端子およびANDゲート39の一方の入力端子に、オーバライト信号OWは、ORゲート38の他方の入力端子およびインバータ37に、ライト信号WRは、ANDゲート40の一方の入力端子に、それぞれ入力されるようになされている。

【0118】ORゲート38では、チップセレクト信号CSとオーバライト信号OWとのOR（論理和）が演算され、その演算結果が、チップセレクト信号CSとして出力される。従って、コントローラ12が出力するチップセレクト信号CSは、マイコン11が出力するチップセレクト信号CSまたはオーバライト信号OWのうちのいずれか一方がHレベルのときHレベルとなり、その両方がLレベルのときLレベルとなる。

【0119】また、インバータ37では、オーバライト信号OWが反転され、ANDゲート39の他方の入力端子と、ANDゲート40の他方の入力端子に供給される。ANDゲート39では、チップセレクト信号CSと、インバータ37の出力とのANDが演算され、その演算結果が、イネーブル信号OEとして出力される。従って、イネーブル信号OEは、マイコン11が出力するチップセレクト信号がHレベルで、オーバライト信号OWがLレベルのときのみHレベルとなり、それ以外のときはLレベルとなる。

【0120】ANDゲート40では、インバータ37の出力と、ライト信号WRとのANDが演算され、その演

算結果が、ライト信号WRとして出力される。従って、コントローラ12が出力するライト信号WRは、マイコン11が出力するオーバライト信号OWがLレベルで、ライト信号WRがHレベルのときのみHレベルとなり、それ以外のときはLレベルとなる。

【0121】図5は、図3のマルチパルス発生器16の構成例を示している。

【0122】変調データAA[3]であるデータDATAは、DFF51に供給され、そこで、クロックCLKのタイミング（クロックCLKの、例えば、立ち上がりエッジのタイミングなど）でラッチされて、DFF52および53に供給される。また、DFF51は、ラッチしたデータDATAの反転出力（/Q）を、ANDゲート57の一方の入力端子に供給する。

【0123】DFF53は、インバータ55の出力のタイミング（インバータ55の出力の、例えば、立ち上がりエッジのタイミングなど）で、DFF51の出力をラッチするようになされており、また、インバータ55には、クロックCLKが供給されるようになされている。従って、DFF53では、後述するDFF52がラッチしたデータより半クロックだけ時間的に先行するデータがラッチされる。この半クロックだけ進んだデータは、データDATA1として出力される。

【0124】一方、DFF52では、DFF51の出力が、クロックCLKのタイミングでラッチされ、データDATA2として出力されるとともに、DFF54、ANDゲート56の一方の入力端子、およびANDゲート57の他方の入力端子に供給される。DFF54でも、DFF52の出力が、クロックCLKのタイミングでラッチされ、その反転出力が、ANDゲート56の他方の入力端子に供給される。

【0125】ANDゲート56では、DFF52の出力と、DFF54の反転出力とのANDが演算され、ORゲート58に供給される。また、ANDゲート57では、DFF51の反転出力と、DFF52の出力とのANDが演算され、これも、ORゲート58に供給される。

【0126】ORゲート58には、ANDゲート56および57の出力の他、クロックCLKが供給されており、そこでは、これらのORが演算され、その演算結果が、データMPとして出力される。

【0127】図6は、図3の記録信号発生器21の構成例を示している。

【0128】プログラマブルディレイライン17または18それぞれからのデータDDATA1またはDDATA2は、いずれも、ANDゲート61に入力されるようになされており、ANDゲート61では、データDDATA1とDDATA2とのANDが演算されて、ANDゲート62の一方の入力端子に供給される。ANDゲート62の他方の入力端子には、データMPが入力される

ようになされており、ANDゲート62では、ANDゲート61の出力と、データMPとのANDが演算され、その演算結果が、記録パルスとして出力される。

【0129】次に、図7および図8を参照して、図3のマルチパルス発生器16、プログラマブルディレイライン17、18、および記録信号発生器21の部分の処理について、さらに説明する。

【0130】なお、図7は、図5に示したマルチパルス発生器16、および図6に示した記録信号発生器21に、プログラマブルディレイライン17と18を加えて図示したものであり、図8は、その各部の信号の波形を示している。

【0131】マイコン11（図3）からのクロックCLK（図8（A））は、DFF51、52、54、インバータ55、ORゲート58に供給されている。また、変調データAA[3]は、DFF51に供給されており、このDFF51、さらには、DFF52、54において、クロックCLKの立ち上がりエッジのタイミングで、順次ラッチされる。

【0132】ここで、kを時間に対応する変数とし、DFF52のラッチ出力（Q）をDATA[k]と表すことにする。この場合、DFF51に供給される変調データAA[3]はデータDATA[k+2]と、DFF51のラッチ出力はデータDATA[k+1]と、DFF54のラッチ出力はデータDATA[k-1]と、それぞれ表すことができる。

【0133】一方、インバータ55では、クロックCLKが反転され、DFF53（DFF53のクロック端子）に供給される。DFF53の入力端子（D）には、DFF51のラッチ出力であるデータDATA[k+1]が供給されており、DFF53では、データDATA[k+1]が、反転されたクロックCLKの立ち上がりエッジのタイミングでラッチされる。

【0134】この結果、データDATA[k]が、例えば、図8（B）に示すようなものであったとすると、DFF53のラッチ出力としては、図8（D）に示すような、このデータDATA[k]より半クロックだけ進んだデータDATA[k+1/2]が得られる。

【0135】DFF52または53のラッチ出力であるデータDATA[k]またはDATA[k+1/2]は、プログラマブルディレイライン18または17に供給され、そこで、それぞれ微小量xまたはyだけ遅延され、これにより、データDATA[k]（図8（B））またはDATA[k+1/2]（図8（D））は、それぞれ、図8（C）または（E）に示すような遅延データDDATA[k]（図3におけるDDATA2）またはDDATA[k+1/2]（図3におけるDATA1）とされる。そして、遅延データDDATA[k]およびDDATA[k+1/2]は、いずれもANDゲート61に供給される。

【0136】ANDゲート61では、遅延データDDATA[k]（図8（C））およびDDATA[k+1/2]（図8（E））のANDが演算され、これにより、図8（F）に示すようなゲート信号GATEが生成される。このゲート信号GATEは、ANDゲート62に供給される。

【0137】ここで、nM（nTの幅のHレベル）のデータDATA[k]に対しては、幅が（n-x+y）Tのゲート信号GATEが生成される。

【0138】一方、DFF54では、DFF52からのデータDATA[k]がラッチされることにより、それより1クロック遅れたデータDATA[k-1]とされ、その反転出力!DATA[k-1]（!は反転を表す）が、ANDゲート56の一方の入力端子に供給される。ANDゲート56の他方の入力端子には、DFF52のラッチ出力であるデータDATA[k]が供給されており、ANDゲート56では、データ!DATA[k-1]とDATA[k]とのANDが演算されることにより、図8（G）に示すように、データDATA[k]の始端をその始端とする、1クロック分のパルス幅を有する始端パルスTOP（この始端パルスTOPは、データDATA[k]の立ち上がりエッジ部分での微分値に相当する）が生成され、ORゲート58に供給される。

【0139】また、ANDゲート57には、DFF51から、データDATA[k+1]を反転した!DATA[k+1]データと、DFF52から、データDATA[k]とが供給されており、そこでは、データ!DATA[k+1]とDATA[k]とのANDが演算される。この結果、ANDゲート57では、図8（H）に示すように、データDATA[k]の終端をその終端とする、1クロック分のパルス幅を有する終端パルスEND（この終端パルスENDは、データDATA[k]の立ち下がりエッジ部分での微分値に相当する）が生成され、ORゲート58に供給される。

【0140】ORゲート58では、そこに供給されるクロックCLK（バーストパルス）（図8（A））、始端パルスTOP（図8（G））、および終端パルスEND（図8（H））のORが演算され、これにより、図8（I）に示すようなデータ（マルチパルス）MPが生成される。このデータMPは、ANDゲート62に供給される。

【0141】ANDゲート62では、ゲート信号GATE（図8（F））とデータMP（図8（I））とのANDが演算され、これにより、図8（J）に示すように、長さがnTのマークに対応する記録パルスとして、式 $xS + (1.5 - x)M + (n - 2)(0.5S + 0.5M) + yM + (0.5 - y)S$ で表現される信号RECが生成される。

【0142】従って、例えば、x=y=0のとき、記録パルスは、式 $1.5M + (n - 2)(0.5S + 0.5$

M) + 0.5 Sで表現されることになり、これは、前述した記録方式Aにおける場合と同一のものとなる。

【0143】また、例えば、 $x=y=0.5$ のとき、記録パルスは、式 $1.0M+(n-2)(0.5S+0.5M)+0.5M+0.5S$ で表現されることになり、これは、前述した記録方式Bにおける場合と同一のものとなる。

【0144】以上から、遅延量 x および y を、 $x=y$ として、0.0乃至0.5の範囲で変化させることで、線速度（ここでは、上述したように、ゾーン）にしたがって、いわば、記録信号A（図2（C））とB（図2

（D））との間を連続的に変化させることのできる記録方式（記録補償方式）を実現することができる。従って、線速度に対応した記録補償を容易に施すことができ、例えば、MC AV方式による、記録容量がで、高速なランダムアクセスが可能なシステムを実現することが可能となる。

【0145】さらに、遅延量 x および y を、線速度だけでなく、変調データの並びに基づいて変化させることで、特に、短いマークおよびスペースに対応するデータに対して、熱干渉などに起因するエッジの位置ずれについての記録補償を行うことが可能となる。

【0146】なお、遅延量 x および y を、上述したように、0.0乃至0.5の範囲で変化させるようにした場合、始端パルスおよび終端パルスのパルス幅は、1.0 T乃至1.5 Tの範囲で変化するが、遅延量 x および y を、その他、例えば、0.0乃至1.0の範囲で変化させるようにした場合には、始端パルスおよび終端パルスのパルス幅は、0.5 T乃至1.5 Tの範囲で変化する事となる。

【0147】ここで、以上のようにして得られる記録パルスは、始端パルスおよび終端パルスのエッジの位置の他、そのパルス幅も変化する点で、そのエッジの位置のみが変化し、パルス幅は一定のままである、前述した図17の記録補償回路から得られる記録パルスとは、根本的に異なる。

【0148】即ち、前述の図17における記録パルスは、その始端パルスおよび終端パルスが、パルス幅が一定のまま前後にシフトするだけである。これに対して、記録回路4から得られる記録パルスは、始端パルスの立ち上がりエッジと、終端パルスの立ち下がりエッジの位置とが変化し、これに伴い、それぞれのパルス幅も変化する。その結果、記録回路4の規模は、従来における場合とほとんど同一であるにもかかわらず、その可変範囲および自由度の大きな記録補償が可能となる。

【0149】ところで、図1のディスクドライブをシステムに組み込むことを考えた場合、記録回路4は1チップにIC化するのが望ましい。さらに、IC化は、特に、コストの面から、例えば、CMOSプロセスによるのが望ましい。しかしながら、IC化の際には、そのI

C内部に、いかにして、精度の良いプログラマブルディレイライン17および18を構成するかが問題となる。

【0150】即ち、例えば、プログラマブルディレイライン17および18を、複数のインバータをカスケードに接続して構成し、その接続段数によって、遅延量 x および y を設定するようにした場合などにおいては、CMOSプロセスの温度や、速度、さらには電源電圧などの種々の要因によって、1乃至3倍程度の遅延量の変動が生じる。従って、常時、所望の遅延量 x および y を得ることができるようにすることが、記録回路4をCMOS-IC化するにあたって、重要な問題となる。

【0151】そこで、記録回路4を、例えば、図9に示すように構成し、これにより、1チップのICとして実現するようにすることができる。

【0152】即ち、図9は、記録回路4の他の構成例を示している。なお、図中、図3における場合と対応する部分については同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、この記録回路4は、セクタ71および72が新たに設けられ、さらに、プログラマブルディレイライン17または18に代えて、プログラマブルディレイライン73または74がそれぞれ設けられている他は、基本的に、図3における場合と同様に構成されている。

【0153】但し、図9の実施例においては、マイコン11は、図3で説明した信号の送受信を行う他、さらに、信号DL_TESTの送信、並びに信号FLAG1およびFLAG2の受信も行い、また、そのような信号の送受信に伴う制御なども行うようになされている。

【0154】さらに、図9の実施例では、遅延量 x 、 y に対応するRISE_DATA、FALL_DATAが、4ビットではなく、6ビットとされており、これに伴い、RAM15は12（=6+6）ビットのRAMとされている。また、DFF19または20は、RAM15から出力される12ビットのデータDO[11:0]のうちの低位6ビットDO[5:0]または上位6ビットDO[11:6]を、それぞれラッチするようになされている。

【0155】セクタ71は、例えば、6ビットのセクタで、そこには、マイコン11から、信号DL_TESTと、データD[11:0]のうちの低位6ビット[5:0]が、その入力端子A/Bと、A[5:0]にそれぞれ供給されるようになされている。さらに、セクタ71の入力端子B[5:0]には、DFF19のラッチ出力が供給されるようになされている。そして、セクタ71は、信号DL_TESTが、例えば1または0のとき、その入力端子A[5:0]またはB[5:0]への入力を選択し、その出力端子C[5:0]から出力するようになされている。即ち、セクタ71は、信号DL_TESTが1または0のとき、マイコン11からのデータD[11:0]のうちの低位6ビット[5:

0]、またはDFF19でラッチされた、RAM15から読み出されたデータDO[11:0]のうちの低位6ビットDO[5:0]を、それぞれ選択して出力するようになされている。セクタ71の出力は、遅延量yに対応するデータFALL_DATA[5:0]として、プログラマブルディレイライン73に供給されるようになされている。

【0156】セクタ72も、セクタ71と同様に6ビットのセクタで、そこには、マイコン11から、信号DL_TESTと、データD[11:0]のうちの上位6ビット[11:6]が、その入力端子A/Bと、A[5:0]にそれぞれ供給されるようになされている。さらに、セクタ72の入力端子B[5:0]には、DFF20のラッチ出力が供給されるようになされている。そして、セクタ72は、セクタ71と同様に、信号DL_TESTが、例えば1または0のとき、その入力端子A[5:0]またはB[5:0]への入力を選択し、その出力端子C[5:0]から出力するようになされている。従って、セクタ72においては、信号DL_TESTが1または0のとき、マイコン11からのデータD[11:0]のうちの上位6ビット[11:6]、またはDFF20でラッチされた、RAM15から読み出されたデータDO[11:0]のうちの上位6ビットDO[11:6]が、それぞれ選択されて出力される。セクタ72の出力は、遅延量xに対応するデータRISE_DATA[5:0]として、プログラマブルディレイライン74に供給されるようになされている。

【0157】プログラマブルディレイライン73または74は、プログラマブルディレイライン17または18と同様に、セクタ71または72から供給される6ビットのデータFALL_DATA[5:0]またはRISE_DATA[5:0]にしたがって、データDATA1またはDATA2をそれぞれ所定量yまたはxだけ遅延し、遅延データDDATA1またはDDATA2としてそれぞれ出力するようになされている。

【0158】さらに、プログラマブルディレイライン73、74には、マイコン11から、信号DL_TEST、クリア信号CLR、およびクロックCLKが供給されるようになされており、そこでは、後述するような測定処理が行われ、その処理結果に対応するフラグFLAG2、FLAG1が出力されるようになされている。

【0159】即ち、図10は、プログラマブルディレイライン73の構成例を示しており、図11は、プログラマブルディレイライン73の各部の信号の波形を示している。なお、プログラマブルディレイライン74は、プログラムディレイライン73と同様に構成されるため、その説明は省略する。

【0160】DFF81の入力端子(D)には、そのラッチ出力の反転(／Q)が供給されるようになされてお

り、そこでは、マイコン11からのクロックCLK(図11(A))の、例えば、立ち上がりエッジのタイミングで、その入力端子(D)への入力がラッチされる。これにより、DFF81のラッチ出力(Q)として、クロックCLKを2分周した信号REF_SIGNAL(図11(B))が出力される。

【0161】即ち、クロックCLKのデューティ比は、一般には50%ではないため、DFF81においては、クロックCLKを2分周することで、デューティ比が50%の信号REF_SIGNALが生成される。

【0162】この信号REF_SIGNALは、単位遅延素子82およびORゲート83の一方の入力端子に供給される。

【0163】単位遅延素子(DCELL)82は、例えば、図12に示すように、インバータ(INV)を2段に直列接続して構成されており、そこでは、信号REF_SIGNALが僅かな時間だけ遅延され、ORゲート83の他方の入力端子に供給される。ORゲート83では、信号REF_SIGNALと、それを単位遅延素子82で僅かな時間だけ遅延したものとのORが演算され、その演算結果が、セクタ84の入力端子Bに供給される。

【0164】セクタ84の入力端子Aには、マルチパス発生器16からのデータDATA1(DL_IN)が供給されており(プログラマブルディレイライン74については、データDATA2)、また、その入力端子A/Bには、マイコン11からの信号DL_TESTが供給されている。セクタ84は、信号DL_TESTが、例えば1または0のとき、入力端子AまたはBに供給されるデータDATA1(DL_IN)またはORゲート83の出力を選択し、その出力端子Cから出力する。このセクタ84の出力は、遅延マトリクス85およびNORゲート87の一方の入力端子に供給される。

【0165】遅延マトリクス85は、例えば、図13に示すように、図12の単位遅延素子がマトリクス状に配置され、直列に接続されて構成されている。即ち、図13の実施例では、遅延マトリクス85は、63(9×7)の単位遅延素子がマトリクス状に配置されて構成されており、その63の単位遅延素子それぞれの出力が、その後段のセクタ86に供給されている。さらに、セクタ86には、遅延マトリクス85の最初の単位遅延素子に入力される前の信号も供給されている。従って、遅延マトリクス85からセクタ86には、セクタ84の出力(SEL_IN)を、0乃至63の単位遅延素子でそれぞれ遅延した64の信号が供給される。

【0166】セクタ86には、遅延マトリクス85から64の信号が供給される他、セクタ71(図9)からデータFALL_DATA[5:0](DSEL[5:0])が供給される(プログラマブルディレイライン74については、セクタ72からデータRISE

__DATA [5:0] が供給される)。セクタ86は、セクタ71からのデータFALL__DATA [5:0] にしたがって、遅延マトリクス85からの64の信号のうちの1つを選択し、その選択した信号を、マルチパルス発生器16からのデータDATA1を、FALL__DATA [5:0] にしたがって遅延したデータDDATA1 (DL__OUT) として出力する。

【0167】また、このデータDDATA1 (DL__OUT) は、NORゲート87の他方の入力端子にも供給される。NORゲート87では、セクタ84の出力 (SEL__IN) と、セクタ86からのデータDDATA1 (DL__OUT) とのNOR (論理和の否定) が演算され、その演算結果NORが、RSFF (RSフリップフロップ) 88のS端子に供給される。

【0168】RSFF88のR端子には、マイコン11からのクリア信号CLR (図11 (F)) が供給されており、そこでは、クリア信号CLRが0または1のとき、それぞれ、NORゲート87の出力がラッチされ、またはその内容 (ラッチしている値) がクリアされて出力される。RSFF88の出力 (Q) は、フラグFLAG1として、マイコン11に供給される。

【0169】従って、信号DL__TESTが1のとき、セクタ84では、ORゲート83の出力が選択され、遅延マトリクス85とNORゲート87に供給される。ここで、ORゲート83の出力は、信号REF__SIGNAL (図11 (B)) と、それを僅かに遅延した信号の論理和であるから、それは、図11 (C) に示すように、信号REF__SIGNALの立ち下がりエッジを僅かに遅延したものとなる。

【0170】遅延マトリクス85では、セクタ84の出力を、0乃至63の単位遅延素子でそれぞれ遅延した64の信号が出力され、セクタ86では、その64の信号のうちの、データFALL__DATA [5:0]

(DSEL [5:0]) に対応するものが選択され、その選択信号DL__OUTが、NORゲート87に供給される。

【0171】従って、信号REF__SIGNAL (図11 (B)) に対する、選択信号DL__OUT (セクタ84の出力を、0乃至63の単位遅延素子でそれぞれ遅延した64の信号のうちのいずれか) (図11 (D)) の遅延量が、クロックCLKの周期Tより小であるとき、周期Tより大であるときは、いずれときも、図11 (E) に示すように、NORゲート87の出力にHレベルが現れる。また、その遅延量が、クロックCLKの周期Tと一致しているとき、NORゲート87の出力はLレベルのままとなる (図11 (E))。

【0172】NORゲート87の出力にHレベルが現れる場合 (図11 (E))、クリア信号CLR (図11 (F)) が1 (Hレベル) となると、RSFF88の出力であるFLAG1も1となり (図11 (G))、ま

た、NORゲート87の出力がLレベルのままである場合 (図11 (E))、クリア信号CLR (図11 (F)) のレベルとは無関係に、RSFF88の出力であるFLAG1は0 (Lレベル) のままとなる (図11 (G))。

【0173】以上から、信号DL__TESTを0とするとともに、クリア信号CLRを1として、RSFF88をリセットし、データFALL__DATA [5:0] (DSEL [5:0])、即ち、セクタ86で選択する信号を変化させ、クリア信号CLRを0にし、その後、信号DL__TESTを1にすることを繰り返すことにより、フラグFLAG1が0のままとなる場合のデータFALL__DATA [5:0] (DSEL [5:0]) が得られ、これが、1クロック分の遅延 (時間Tの遅延) に必要な単位遅延素子の段数に対応する値ということになる。

【0174】このように、図10のプログラマブルディレイライン73によれば、1クロック分の遅延に必要な単位遅延素子 (ここでは、図12に示したようにインバータで構成される) の段数を測定することができる。

【0175】ここで、信号DL__TESTを1にした場合、図9のセクタ71では、上述したように、マイコン11からのデータD [11:0] のうちの下位6ビットD [5:0] が選択され、データFALL__DATA [5:0] (DSEL [5:0]) として、プログラマブルディレイライン73に供給される。従って、マイコン11は、フラグFLAG1を監視しながら、上述したように、信号DL__TESTおよびクリア信号CLRを変化させるとともに、データD [11:0] を変化させることで、1クロック分の遅延に対応するデータFALL__DATA [5:0] を認識することができ、その認識結果に基づいて、RAM15に、適切な値のデータを記憶させることができる。

【0176】一方、記録パルスを生成する場合においては、マイコン11が信号DL__TESTを0とすることで、図9のセクタ71において、上述したように、DFF19の出力が選択され、これにより、RAM15から読み出されたデータDO [11:0] のうちの下位6ビットDO [5:0] が、データFALL__DATA [5:0] (DSEL [5:0]) として、プログラマブルディレイライン73に供給される。この場合、プログラマブルディレイライン73では、セクタ84 (図10) において、マルチパルス発生器16からのデータDATA1 (DL__IN) が選択され、遅延マトリクス85に供給される。そして、セクタ86において、データFALL__DATA [5:0] (DSEL [5:0]) に対応して、マルチパルス発生器16からのデータDATA1 (DL__IN) を、0乃至63の単位遅延素子でそれぞれ遅延した64の信号のうちのいずれかが選択され、それが、データDDATA1 (DL__OU

T)として出力される。

【0177】以上のように、プログラマブルディレイライン73(74)によれば、1クロック分の遅延に必要な単位遅延素子の段数を測定することができるので、記録回路4を1チップ化した場合に、CMOSプロセスの温度や、速度、さらには電源電圧などの種々の要因によって、1つの単位遅延素子の遅延時間が変動したとしても、その変動に対応して、RAM15に記憶させるデータD[11:0]を書き換えることで、対処可能となる。

【0178】なお、上述のような1クロック分の遅延に必要な単位遅延素子の段数の測定と、その測定結果に対応するデータへのRAM15の書き換えは、例えば、システムの電源投入時や、あるいは、電源投入後に定期的に行うようにすることが可能である。

【0179】また、以上のようなプログラマブルディレイライン73(74)については、本件出願人が先に出願した、例えば、特願平7-244963号などに、その詳細が開示されている。

【0180】以上、本発明を、相変化ディスクを駆動するディスクドライブに適用した場合について説明したが、本発明は、例えば、カード形状などの、ディスク形状以外の記録媒体を駆動する装置にも適用可能である。さらに、本発明の適用範囲は、相変化による記録や、MCAP方式による記録などに限定されるものではない。

【0181】なお、本実施例においては、遅延量xとyを、その値を同一にして変化させるようにしたが、遅延量xとyは、同一である必要はない。

【0182】また、本実施例では、プログラマブルディレイライン17において、DFF53(図7)で得られた半クロックだけ時間的に先行するデータDATA1を遅延させるようにしたが、DFF53では、1クロックだけ時間的に先行するデータを生成し、プログラマブルディレイライン17において、このデータを遅延させるようにすることも可能である。この場合、長さがnTのマークに対応する記録パルスは、式 $xS + (1.5 - x)M + (n - 3)(0.5S + 0.5M) + 0.5S + yM + (1.0 - y)S$ で表されることになる。

【0183】

【発明の効果】請求項1に記載のデータ記録装置および請求項5に記載のデータ記録方法によれば、始端パルスの始端エッジの位置を変化させることにより、そのパルス幅が変化されるとともに、終端パルスの終端エッジの位置を変化させることにより、そのパルス幅が変化される。従って、例えば、線速度などに対応した記録補償を容易に施すことが可能となる。

【0184】請求項6に記載の記録媒体には、始端パルスの始端エッジの位置が変化されることにより、そのパルス幅が変化され、また、終端パルスの終端エッジの位置が変化されることにより、そのパルス幅が変化された

記録パルスにしたがってマークとスペースが形成されている。従って、例えば、高密度記録および高速ランダムアクセスが可能となる。

【0185】請求項7に記載のデータ記録装置によれば、長さがnTのマークに対応する記録パルスが、式 $xS + (1.5 - x)M + (n - 2)(0.5S + 0.5M) + yM + (0.5 - y)S$ 、または式 $xS + (1.5 - x)M + (n - 3)(0.5S + 0.5M) + 0.5S + yM + (1.0 - y)S$ で表され、この記録パルスにしたがって記録が行われる。従って、例えば、線速度などに対応した記録補償を容易に施すことが可能となる。

【図面の簡単な説明】

【図1】本発明を適用したディスクドライブの一実施例の構成を示すブロック図である。

【図2】図1の記録回路4における記録補償方法を説明するための図である。

【図3】図1の記録回路4の構成例を示すブロック図である。

【図4】図3のコントローラ12の構成例を示す回路図である。

【図5】図3のマルチバス発生器16の構成例を示す回路図である。

【図6】図3の記録信号発生器21の構成例を示す回路図である。

【図7】図3のマルチパルス発生器16、プログラマブルディレイライン17、18、および記録信号発生器21の構成例を示すブロック図である。

【図8】図7のマルチパルス発生器16、プログラマブルディレイライン17、18、および記録信号発生器21の動作を説明するためのタイミングチャートである。

【図9】図1の記録回路4の他の構成例を示すブロック図である。

【図10】図9のプログラマブルディレイライン73(74)の構成例を示すブロック図である。

【図11】図10のプログラマブルディレイライン73の動作を説明するためのタイミングチャートである。

【図12】図10の単位遅延素子82の構成例を示す回路図である。

【図13】図10の遅延マトリクス85の構成例を示すブロック図である。

【図14】相変化ディスクの記録原理を説明するための図である。

【図15】ダイレクトオーバーライトを説明するための図である。

【図16】従来の記録補償方法を説明するための図である。

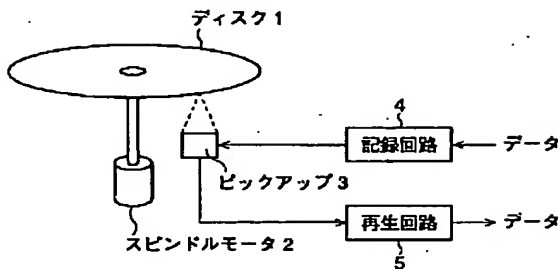
【図17】従来の記録補償を行う回路の一例の構成を示すブロック図である。

【符号の説明】

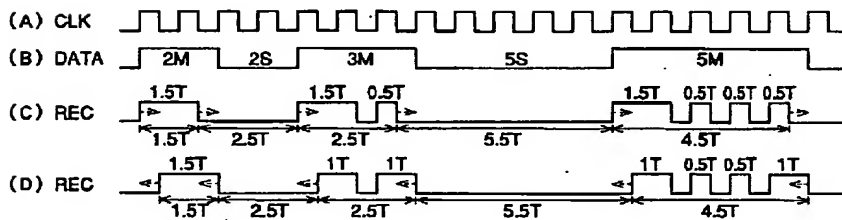
33

1 ディスク, 2 スピンドルモータ, 3 ピックアップ, 4 記録回路, 5 再生回路, 11 マイコン, 12 コントローラ, 13 セレクタ, 14 シフタ, 15 RAM, 16 マルチパルス発生器, 17, 18 プログラマブルディレイライン, 19, 20 DFF, 21 記録信号発生器, 22 ゲート回路, 31乃至34 ANDゲート, 35, 36 NORゲート, 37 インバータ (NOTゲート), 38 ORゲート, 39, 40 A*

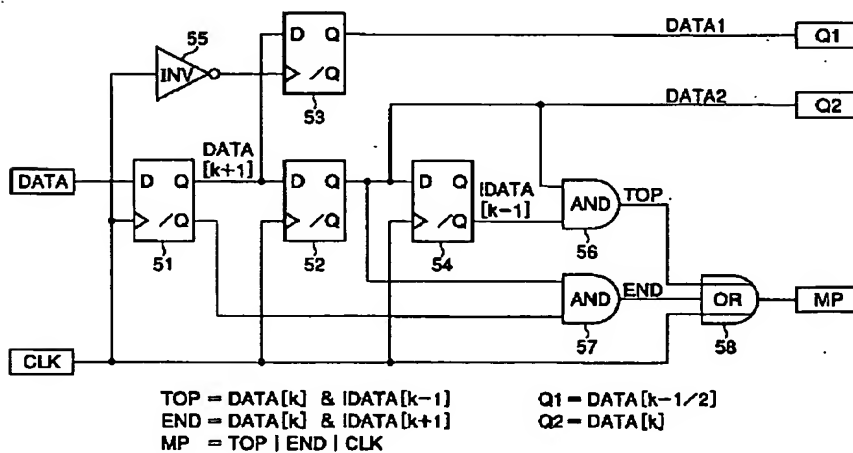
【図1】



【図2】



【図5】

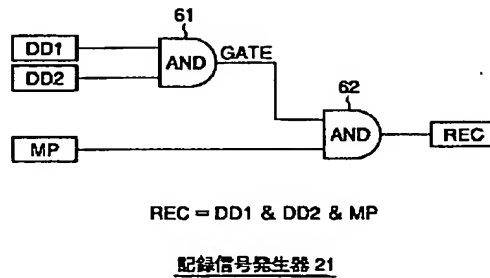


マルチパルス発生器 16

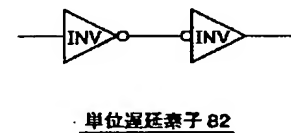
34

*NDゲート, 51乃至54 DFF, 55 インバータ, 56, 57 ANDゲート, 58 ORゲート, 61, 62 ANDゲート, 71, 72 セレクタ, 73, 74 プログラマブルディレイライン, 81 DFF, 82 単位遅延素子, 83 ORゲート, 84 セレクタ, 85 遅延マトリクス, 86 セレクタ, 87 NORゲート, 88 RS FF

【図6】

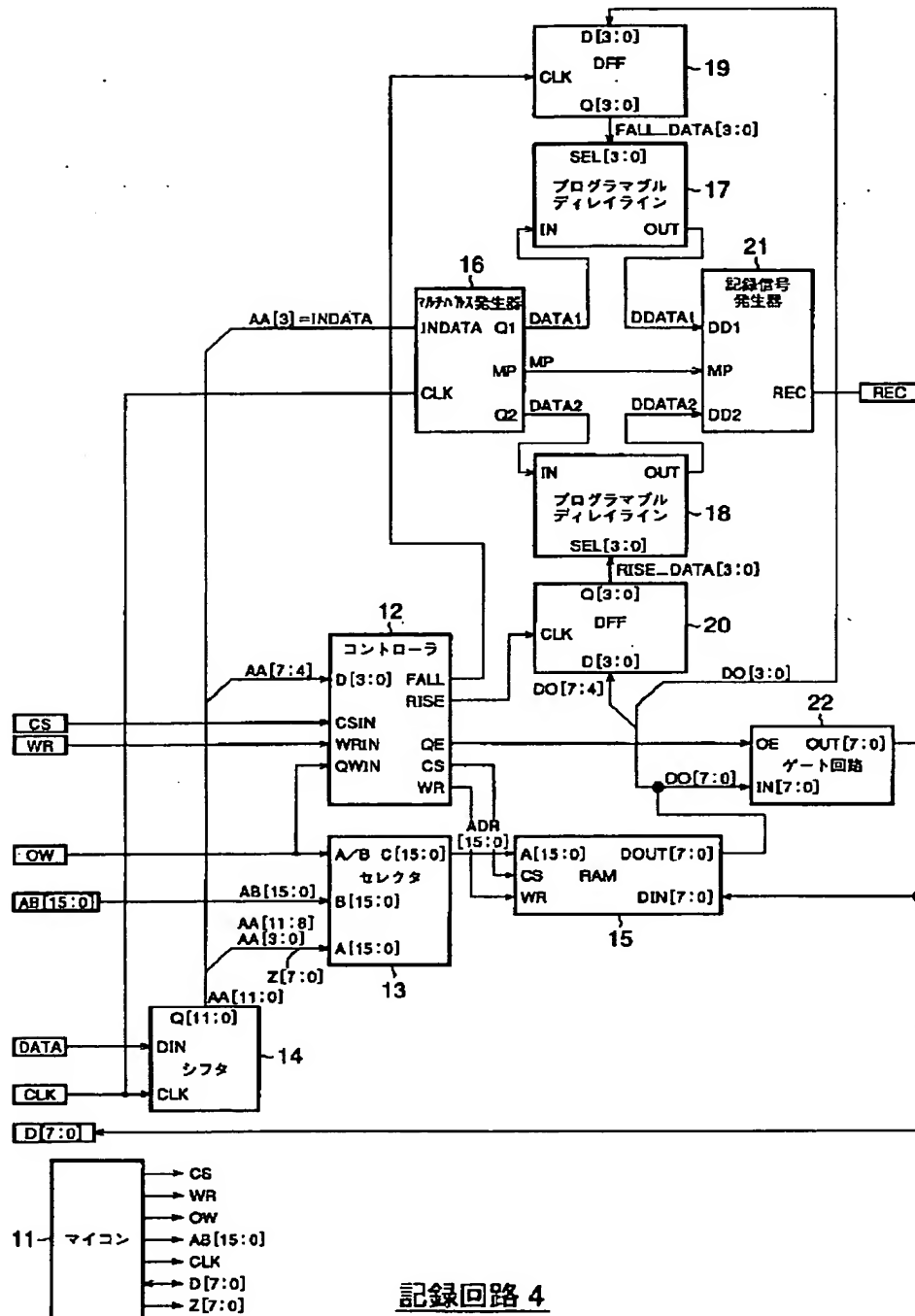


【図12】



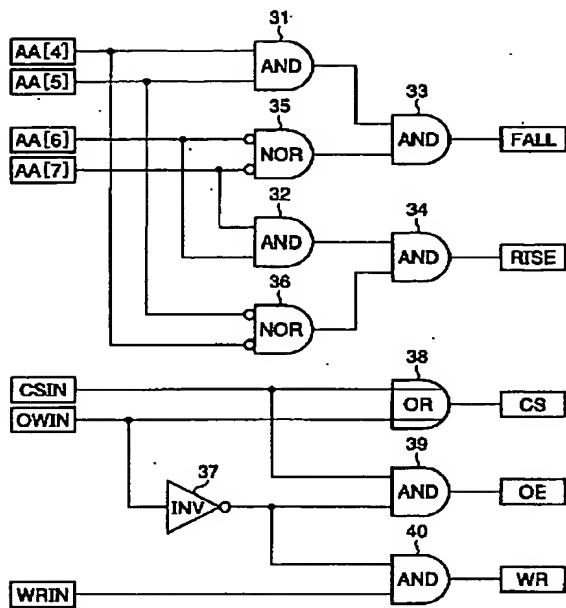
単位遅延素子 82

【図3】



記録回路 4

【図4】



$$FCOUT = D[0] \& D[1] \& ID[2] \& ID[3]$$

$$RCOUT = ID[0] \& ID[1] \& D[2] \& D[3]$$

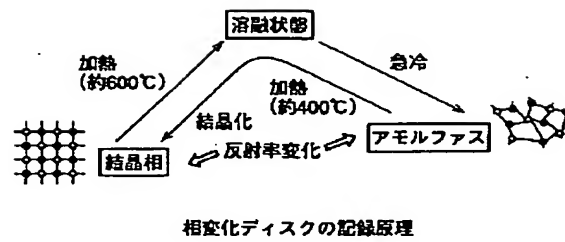
$$OEOUT = CSIN \& IOWIN$$

$$CSOUT = CSIN \vee IOWIN$$

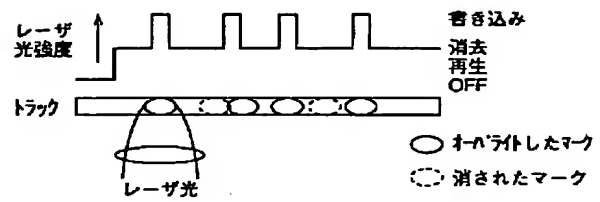
$$WROUT = WRIN \& IOWIN$$

コントローラ 12

【図14】

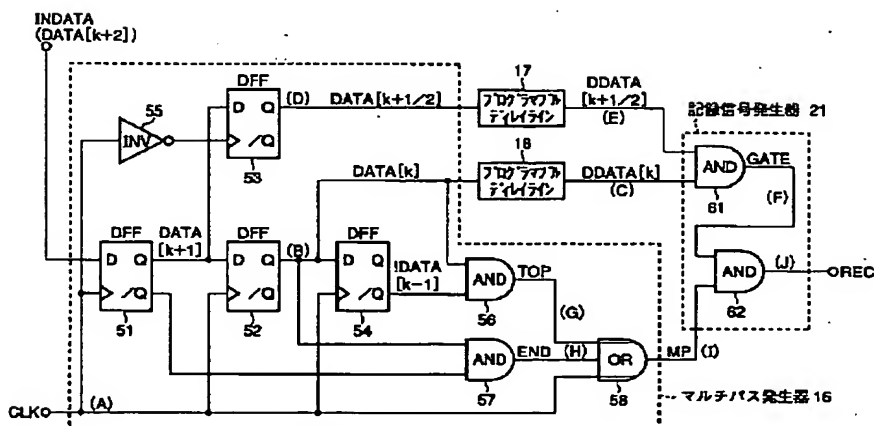


【図15】

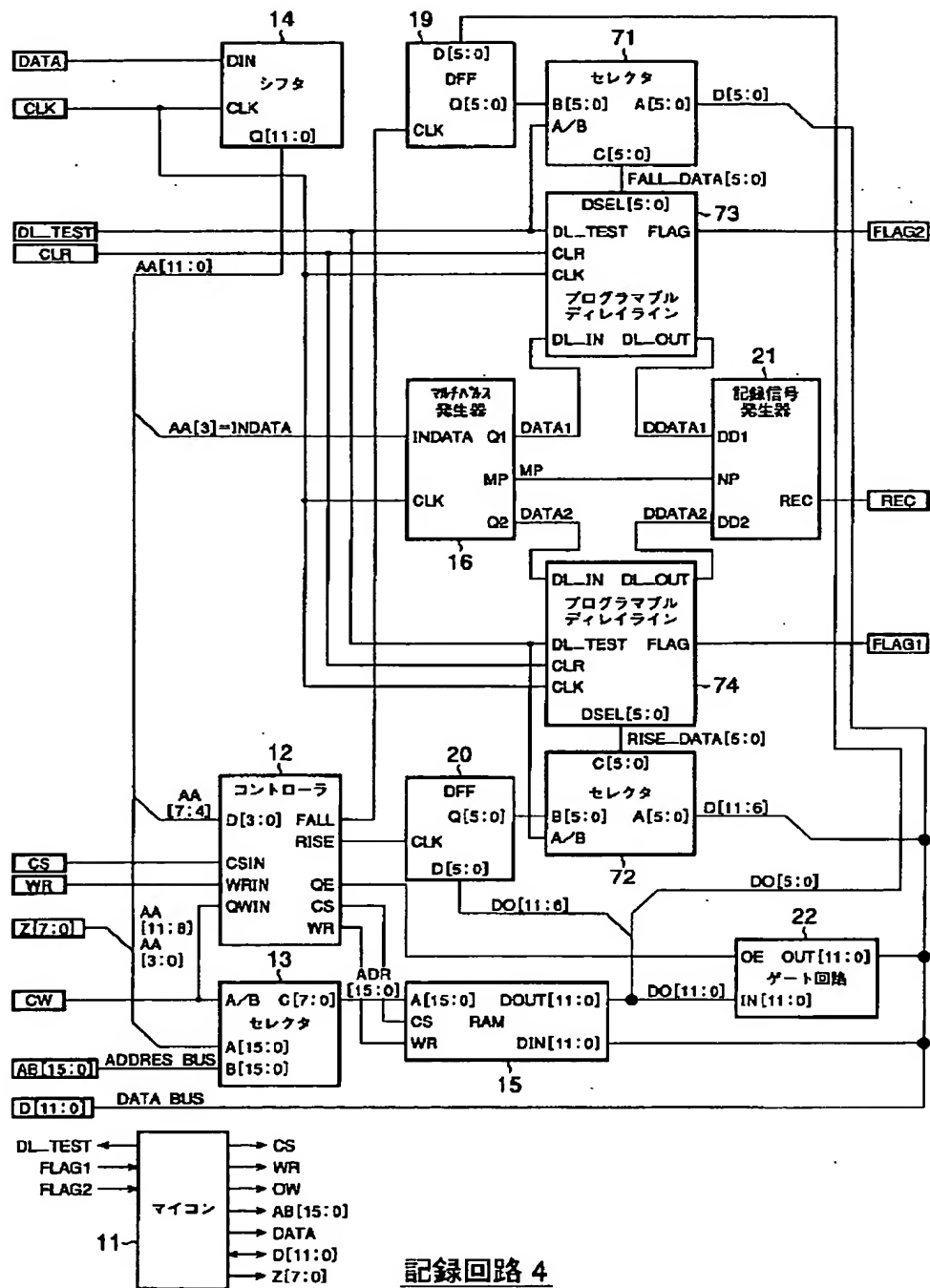


ダイレクト・オーバーライト

【図7】

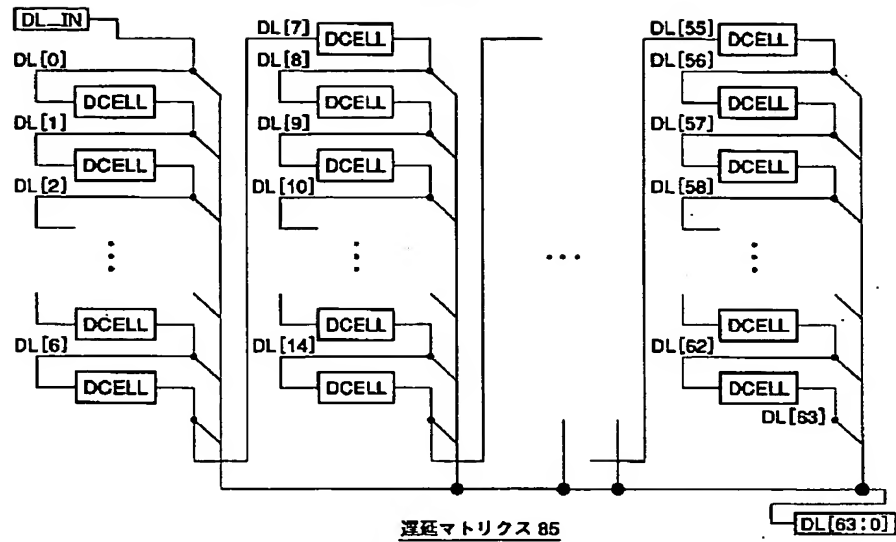


【図9】

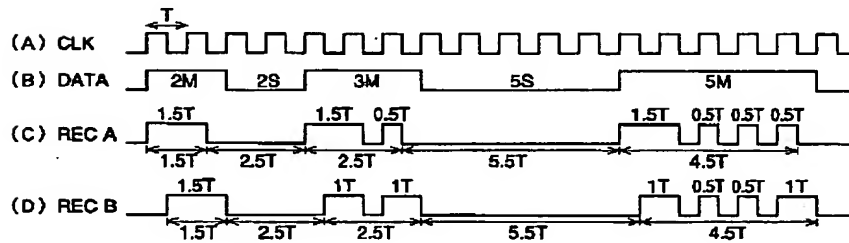


記録回路 4

【図13】



【図16】



【図17】

